

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-129425
 (43)Date of publication of application : 03.06.1991

(51)Int.CI. G06F 7/00

(21)Application number : 02-184088 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 13.07.1990 (72)Inventor : SATO YOSHIYASU
 SATO TAIZO

(30)Priority

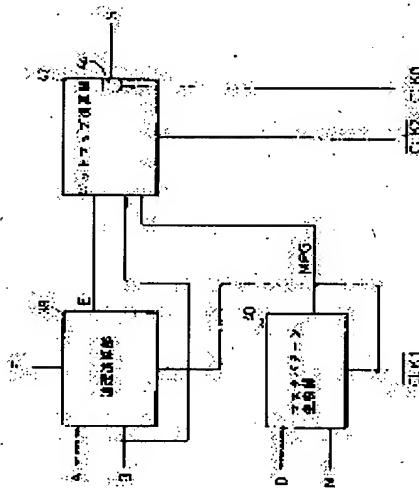
Priority number : 01178930 Priority date : 13.07.1989 Priority country : JP

(54) BIT FIELD LOGIC OPERATION PROCESSOR AND MONOLITHIC MICROPROCESSOR EQUIPPED WITH THE SAME

(57)Abstract:

PURPOSE: To complete a logical operation processing accompanying by a mask processing within one machine cycle by providing a logical operation means, a mask pattern generating means, and a bit map arithmetic means.

CONSTITUTION: Source data A, distonation data B, and a function signal F are supplied to a logical operation part 38, and the logical operations of the data A, B are performed with the logical operation designated according to the signal F. Mask data D and mask data input size M are supplied to a mask pattern generating part 40, and a mask pattern MPG is generated in parallel with the processing at the logical operation part 38. At a bit map arithmetic part 42, either a logical operation value E or the distonation data B is selected at every bit according to the mask pattern MPG, and output data S is formed. In such a way, it is possible to execute the logical operation accompanying by the mask processing within one machine cycle.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-129425

⑬ Int. Cl. 5

G 06 F 7/00

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月3日

7530-5B G 06 F 7/00

H

審査請求 未請求 請求項の数 11 (全10頁)

⑮ 発明の名称 ビットフィールド論理演算処理装置およびそれを具備するモノリシックマイクロプロセッサ

⑯ 特願 平2-184088

⑰ 出願 平2(1990)7月13日

優先権主張 ⑯ 平1(1989)7月13日 ⑯ 日本 (JP) ⑯ 特願 平1-178930

⑯ 発明者 佐藤 善保 神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内

⑯ 発明者 佐藤 泰造 神奈川県川崎市中原区上小田中1015番地 富士通株式会社 内

⑯ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代理人 弁理士 青木 朗 外4名

明細書

1. 発明の名称

ビットフィールド論理演算処理装置およびそれを具備するモノリシックマイクロプロセッサ

2. 特許請求の範囲

1. ソースデータとディストネーションデータとの指定された論理演算を行なって論理演算結果を出力する論理演算手段(1)と、

該論理演算手段(1)の動作と並行してマスク情報からビットマスクパターンを計算するマスクパターン生成手段(2)と、

該ビットマスクパターンに従って各ビット位置毎に該論理演算結果または該ディストネーションデータのいずれかを選択してマスクされた論理演算結果として出力するビットマップ演算手段(3)とを備ずることを特徴とするビットフィールド論理演算処理装置。

2. 前記論理演算手段(1)と前記マスクパターン生成手段(2)とは、各回路ノードの電位が

アリセットされるアリセット期間と入力信号に応じた処理結果を出力するアクティブ期間とで処理が並行されるダイナミック回路構成にて構成される請求項1記載の論理演算処理装置。

3. 前記論理演算手段(1)のアリセット期間と前記マスクパターン生成手段(2)のアリセット期間とは同時に進行する請求項2記載のビットフィールド論理演算処理装置。

4. 前記ビットマップ演算手段(3)もまた前記ダイナミック回路構成で構成される請求項3記載のビットフィールド論理演算処理装置。

5. 前記論理演算手段(1)と前記マスクパターン生成手段(2)のアクティブ期間、前記ビットマップ演算手段(3)のアリセット期間とは同時に進行する請求項4記載のビットフィールド論理演算処理装置。

6. 前記ビットマップ演算手段(3)にはマスク処理のモードを特定するための信号が入力され、該ビットマップ演算手段(3)の動作モードは該信号に応じて変更される請求項5記載のビットフ

特開平3-129425(2)

フィールド論理演算処理装置。

7. 命令を受けれる命令入力手段(10, 16)と、該命令入力手段(10, 16)から転送される命令に盛いて制御信号を生成する制御手段(18)と、該制御信号に応答して算術論理演算を行なう算術論理演算処理装置(26)と、該制御手段(18)に接続されておりビット操作命令に応答して該ビットからなるソースデータとディストネーションデータの一部分のビットフィールドに対する論理演算を行なうビットフィールド論理演算処理装置(28)とを具備するモノリシックマイクロプロセッサであって、該ビットフィールド論理演算処理装置は、ソースデータとディストネーションデータとの指定された論理演算を行なって論理演算結果を出力する論理演算手段(1)と、

該論理演算手段(1)の動作と並行してマスク情報からビットマスクパターンを計算するマスクパターン生成手段(2)と、

該ビットマスクパターンに従って各ビット位置毎に該論理演算結果または該ディストネーション

データのいずれかを選択してマスクされた論理演算結果として出力するビットマップ演算手段(3)とを具備することを特徴とするモノリシックマイクロプロセッサ。

8. 前記論理演算手段(38)、マスクパターン生成手段(40)、およびビットマップ演算手段(42)は、各回路ノードの電位がプリセットされるプリセット期間と入力信号に応じた処理結果を出力するアクティブ期間とで処理が並行されるダイナミック回路構成にて構成され、

該論理演算手段(38)のプリセット期間およびアクティブ期間は該マスクパターン生成手段(40)のプリセット期間およびアクティブ期間にそれぞれ重なり、

該論理演算手段(38)と該マスクパターン生成手段(40)とのアクティブ期間は該ビットマップ演算手段(42)のプリセット期間に重なる請求項目記載のモノリシックマイクロプロセッサ。

9. 前記マスクパターン生成手段(2)はマスクデータおよびサイズデータを受け、前記ビット

操作命令によって指定される任意長のビットフィールドに対するマスクパターンを発生する請求項目記載のモノリシックマイクロプロセッサ。

10. 前記算術論理演算処理装置(26)は前記ビット操作命令以外の演算を実行する請求項目記載のモノリシックマイクロプロセッサ。

11. 前記ビットフィールド論理演算処理装置(28)と前記算術論理演算処理装置(26)とに接続されたバス手段(32, 34, 36)をさらに具備し、前記ソースデータ、ディストネーションデータ、およびマスクされた論理演算結果は該バス手段(32, 34, 36)を介して転送される請求項目記載のモノリシックマイクロプロセッサ。

3. 発明の詳細な説明

(概要)

コンピュータシステムにおいて用いられる論理演算処理装置に關し、特に、オペランドの一部のマスク処理を伴う論理演算を行なうビットフィールド論理演算処理装置に關し、

マスク処理を伴う論理演算処理を1マシンサイ

クル内で完了することのできるビットフィールド論理演算処理装置を提供することを目的とし、

ソースデータとディストネーションデータとの指定された論理演算を行なって論理演算結果を出力する論理演算手段と、該論理演算手段の動作と並行してマスク情報からビットマスクパターンを計算するマスクパターン生成手段と、該ビットマスクパターンに従って各ビット位置毎に該論理演算結果または該ディストネーションデータのいずれかを選択してマスクされた論理演算結果として出力するビットマップ演算手段とを具備して構成する。

【産業上の利用分野】

本発明は、コンピュータシステムにおいて用いられる論理演算処理装置(しり)に關し、特に、オペランドの一部のマスク処理を伴う論理演算を行なうビットフィールド論理演算処理装置およびそれを具備するモノリシックマイクロプロセッサに関する。

特開平3-129425 (3)

近年の、マイクロコンピュータシステムの高速化の要求に伴い1マシンサイクルに1つの命令を実行することが要求されている。このため、バイナリ処理、命令キューリ、ディレイ対策等が利用されており、マスク処理を伴う論理演算処理も1マシンサイクルで実行することが要望されている。

(従来の技術)

コンピュータシステムにおいて、オペランドの一部をマスクした状態でAND、OR、EOR等の論理演算処理を行なうことが要求されることがある。この場合、オペランドのうちマスク情報で指定されたビットは論理演算によっては変更されず、指定されない残りのビットのみが論理演算結果で置き換えられる。

この種の演算は次の3つの処理を実行することによって達成することができる。

1) 2つのオペランドの論理演算

2) マスク情報からビットマスクパターンの計

算

3) ビットマスクパターンに従って論理演算結果または一方のオペランドのいずれかの選択

従来、このようなマスク処理を伴う論理演算は上記の3つの処理1)～3)にそれぞれ対応する3つのマイクロ命令からなるマイクロプログラムに従ってコンピュータシステム内に設けられたALU(算術論理演算処理装置)を制御することによって実現されている。

しかしながら、この方式では処理1)～3)が順次実行されるので1マシンサイクル内で完了することができない。そのため、特定のビットを操作する命令の実行には時間がかかっていた。特に、任意長ビットフィールドを操作する場合には、多くのマイクロプログラムステップが必要であり、複数のマシンサイクルが費やされていた。

またこれらの他に、この論理演算処理装置の設計にあたって考慮すべき事項は、論理演算処理装置を構成する回路要素の数と電力消費を可能な限り小さくするということである。

(発明が解決しようとする課題)

したがって本発明の第1の目的は、マスク処理を伴う論理演算処理を1マシンサイクル内で完了することのできるビットフィールド論理演算処理装置を提供することにある。

また、本発明の第2の目的は、小数の回路要素で構成され、電力消費も小さいビットフィールド論理演算処理装置を提供することにある。

本発明の第3の目的は、ビット操作を高速実行できるモノリシックマイクロプロセッサを提供すること、特に、任長ビットフィールド操作命令、例えば32ビットのソースデータおよびディストネーションデータ中の任意長のビットフィールドに對して指定された論理演算を行ない、その結果をディストネーション側のビットフィールドに格納する命令を、より少ないマシンサイクル数内に実行可能なモノリシックマイクロプロセッサを提供することにある。

(課題を解決するための手段)

第1図は本発明の原理構成を表わす図である。図において、本発明のビットフィールド論理演算処理装置は、ソースデータとディストネーションデータとの指定された論理演算を行なって論理演算結果を出力する論理演算手段1と、該論理演算手段1の動作と並行してマスク情報からビットマスクパターンを計算するマスクパターン生成手段と、該ビットマスクパターンに従って各ビット位置に該論理演算結果または該ディストネーションデータのいずれかを選択してマスクされた論理演算結果として出力するビットマップ演算手段とを具備することを特徴とするものである。

前記論理演算手段1と該マスクパターン生成手段2とは、各回路ノードの電位がプリセットされるプリセット期間と入力信号に応じた処理結果を出力するアクティブ期間とで処理が遂行されるダイナミック回路構成にて構成されることが特徴である。

また、前記論理演算手段1のプリセット期間と

特開平3-129425(4)

前記マスクパターン生成手段2のプリセット期間とは同時に進行することがさらに好適である。

本発明のモノリシックマイクロプロセッサは、命令を受け入れる命令入力手段と、該命令入力手段から転送される命令に基いて制御信号を生成する制御手段と、該制御信号に応答して算術論理演算を行なう算術論理演算処理装置と、該制御手段に接続されておりビット操作命令に応答して複数ビットからなるソースデータとディストネーションデータの一部分のビットフィールドに対する論理演算を行なう前述のビットフィールド論理演算処理装置とを具備することを特徴とするものである。

(作用)

論理演算手段1における論理演算とマスクパターン生成手段2におけるマスクパターンの計算とが同時に並列的に進行するので実行時間の短縮が達成される。

また、論理演算手段1とマスクパターン生成手

段2とをダイナミック配路構成にて構成し、それらのプリセット期間を同時に進行させることにより、実行時間の短縮とともに回路要素数および消費電力の削減が達成される。

このように構成されたビットフィールド論理演算処理装置をモノリシックマイクロプロセッサに組み込むことによって、任意長ビットフィールド操作命令が少ないマシンサイクル内で実行可能なモノリシックマイクロプロセッサが実現される。

(実施例)

第2図は本発明に係るビットフィールド論理演算処理装置を組み込んだコンピュータシステムの一例としての单一のチップ上に形成されたモノリシックマイクロプロセッサの概略構成を表わす図である。

まず命令ブリッジ部10が命令アドレスをアドレス変換部12に転送すると共に、命令ブリッジ部10は論理アドレスを物理アドレスに変換し、入出力制御部14に転

送する。入出力制御部14は命令ブリッジ部10、命令ブリッジ部10は命令ブリッジ部10に転送し、命令ブリッジ部10はブリッジした命令を命令デコード部16に転送する。命令デコード部16はこの命令をデコードし、マイクロ命令の先頭アドレス等のデコード情報を演算制御部18に転送する。

演算制御部18はマイクロ命令の先頭アドレスを基にマイクロ命令ROM 20から順次マイクロ命令を読み出しマイクロ命令レジスタ22にラッピングし、ラッピングされたマイクロ命令とその他のデコード情報により命令実行部24を制御して、命令を実行させる。

命令実行部24にはALD(算術論理演算処理装置)26、ビットフィールド論理演算処理装置28等の各種演算器、レジスタ群30等があり、内部バス32、34、36によってデータのやりとりができるようになっている。

ビット操作命令、任意長ビットフィールド操作命令等は命令デコード部16から演算制御部18へ転送される。演算制御部18はビットフィールド論理演算処理装置28に対して制御信号、マスクデータ

D、およびマスクデータ入力サイズMを与えて、命令が実行される。本実施例では後述するようにこれらビット操作が1マシンサイクル内で実行可能である。

第3図は第2図に示されたビットフィールド論理演算処理装置28の概略構成を表わす図である。第3図に示す如く、本実施例のビットフィールド論理演算処理装置は、論理演算部38、マスクパターン生成部40およびビットマップ演算部42を備えている。論理演算部38には、ソースデータA、ディストネーションデータBおよびファンクション信号Fが供給され、ディストネーションデータBがファンクション信号Fに従って指定された論理演算により論理演算される。そして、論理演算部38において論理演算された論理演算結果は、ビットマップ演算部42に供給されている。

マスクパターン生成部40には、マスクデータDおよびマスクデータ入力サイズMが供給され、論理演算部38における処理と並列してマスクデータ

特開平3-129425(5)

ン MPG が生成される。マスクデータ D は、例えば、それより上位または下位のビットをマスクすべきであることを指定するためのビット位置に関する情報である。マスクデータ入力サイズ M は、例えば、バイトまたはワードの様なデータ型を指定する情報である。

ディスク本シジョンデータ B、論理演算値 E およびマスクパターン MPG はビットマップ演算部 42 へ供給され、そこでは、マスクパターン MPG に従って B または E のいずれかが各ビット毎に選択され、出力データ S が形成される。

本実施例において論理演算部 38、マスクパターン生成部 40 およびビットマップ演算部 42 はすべてダイナミック回路構成にて構成されている。ダイナミック回路構成の面においては、クロック信号の制御のもとにプリチャージまたはプリセット期間およびアクティブ期間において演算処理が進行する。プリセット期間においては、各回路ノードの電位がプリセットされ、その後、アクティブ期間において入力信号に応じた演算結果が出力さ

れる。したがって、ダイナミック構成の回路における電力消費はスタティック構成の回路と比べてはるかに小さく、後述するように、回路を構成するトランジスタ等の要素の数も比較的少ない。

第 4 図 (A) 図～(G) 図には第 3 図に示されたビットフィールド論理演算超選択装置の動作を表わすタイミングチャートが示されている。(A) 図には 1 マシンサンクルを構成する 4 つのフェーズが示されている。(B) 図、(C) 図、および (D) 図は第 3 図内の CLK1、CLK2 および CLK0 の波形をそれぞれ表わすものである。(E) 図、(F) 図、および (G) 図はそれぞれ論理演算部 38、マスクパターン生成部 40、およびビットマップ演算部 42 の動作状態を表わし、(H) 図は出力信号 S の状態を表わしている。

フェーズ 1 ((A) 図参照)においては、論理演算部 38 およびマスクパターン生成部 40 に供給される CLK1 が H レベル ((B) 図)であるから、両者はプリセット期間にある ((E) 図および (F) 図)。したがって、論理演算部 38 内の各回路ノードの電

位はプリセットされ、同時に、マスクパターン生成部 40 の各回路ノードの電位もプリセットされる。

フェーズ 1においては CLK1 が H レベルとなるので論理演算部 38 とマスクパターン生成部 40 とはアクティブ期間となり、論理演算部 38 は入力信号 A、B および D の値に応じた信号 E を出力し、マスクパターン生成部 40 は入力信号 D および M の値に応じた信号 MPG を出力する。一方、フェーズ 2において CLK2 は L レベルであるから、ビットマップ演算部 42 はプリセット期間にあり、ビットマップ演算部 42 内の各回路ノードの電位はプリセットされる。

フェーズ 3においては、CLK2 が H レベルとなるのでビットマップ演算部 42 はアクティブ期間に移行し、信号 E、MPG および B の値に応じた演算結果がビットマップ演算部 42 の内部で確定する。

フェーズ 4においては、CLK0 が H レベルであるからビットマップ演算部 42 内に具備されるラッチ回路 44 (第 3 図) の出力が確定し、出力信号 S を

出力する。

第 5 図はマスクパターン生成部 40 の詳細な構成の一例を表わす図である。この例では、マスクデータ入力サイズ M は 2 に示す形式でデータ型を指定する情報である。

M ₁ M ₂	データ型	MPG ₀ ~MPG ₇	MPG ₈ ~MPG ₁₅	MPG ₁₆ ~MPG ₂₃	MPG ₂₄ ~MPG ₃₁
0 0	バイト	x	1	1	1
0 1	ハーフ	x	x	1	1
1 0	ワード	x	x	x	x

1 : オール 1

x : D で決まる

例えば、M₁ および M₂ がともに 0 (バイト型) であるとき、MPG の上位 24 ビット (MPG₀ ～ MPG₂₃) はすべて 1 になり、MPG の下位 8 ビットはマスクデータ D で決まる。

マスクデータ D は表 2 に示されるようにそのビットおよびそれより下位のビットがすべて 0 となるビット位置を指定する情報である。

特開平3-128425(6)

表 2

D ₀ D ₁ D ₂ D ₃ D ₄	MPG ₀	MPG ₁	MPG ₂	...	MPG ₃₁
0 0 0 0 0	0	1	1	...	1
0 0 0 0 1	0	0	1	...	1
0 0 0 1 0	0	0	0	...	1
...
1 1 1 1 1	0	0	0	...	0

第6図は論理演算部38とビットマップ演算部42の詳細な構成の一例を表わす図である。同図において、データA、B、MPG_iおよびSの最下位ビット(A₀、B₀、MPG₀、およびS₀)に関する部分のみが示されているが、それ以外のビット(A₁~A₃₁、B₁~B₃₁、MPG₁~MPG₃₁、およびS₁~S₃₁)に関する部分も構成上これと同一である。

論理演算部38は表3に示すようにF₁~F₄で指定される論理演算をソースデータAとディストネーションデータBに対して行ない、その結果Eを出力する。

表 3

F ₁	F ₂	F ₃	F ₄	E
0	0	0	0	0
0	0	0	1	B AND A
0	0	1	0	B AND A
0	0	1	1	A
0	1	0	0	B AND A
0	1	0	1	B
0	1	1	0	B XOR A
0	1	1	1	B OR A
1	0	0	0	B AND A
1	0	0	1	B XOR A
1	0	1	0	B
1	0	1	1	B OR A
1	1	0	0	A
1	1	0	1	B OR A
1	1	1	0	B OR A
1	1	1	1	1

ビットマップ演算部42は対応するMPG_i(i=0~31)の論理値に従ってB_iまたはB₁のいずれ

かの各ビットを選択する。すなわち、MPG_iが1であればB_iが選択され、MPG_iが0であればB₁が選択される。言い換えれば、MPG_iが1であるビット位置については論理演算がマスクされた論理演算の結果が outputされる。

第7図はビットマップ演算部42の変形42'を表わす第6図と同様な図である。同図において、信号I₁およびNはマスク処理のモードを指定する信号である。信号I₁が論理“1”であるとき、MPG_iが論理値“1”であるビットに対応するビット位置の出力信号S_iのビットは信号I₁の対応するビットに等しくなり、MPG_iが論理値“0”であるビットに対応するビット位置の出力信号S_iのビットは信号B_iの対応するビットに等しくなる。すなわち、信号I₁が論理“1”であるとき、上位側のビットがマスクされない。同様に、信号I₁が論理“1”であるとき、下位側のビットがマスクされない。また、信号Nが論理“1”であるとき、全ビットがマスクされない。

(発明の効果)

以上述べたように本発明によれば、マスク処理を伴う論理演算を1マシンサイクル内で実行し得る論理演算処理装置が、構成要素の数および電力消費の少ない回路において実現される。

4. 四面の簡単な説明

第1図は本発明の原理構成を表わす図。

第2図は本発明に係るビットフィールド論理演算処理装置を具備するマイクロプロセッサの一例の概略構成を表わす図。

第3図は本発明の一実施例であるビットフィールド論理演算処理装置の概略構成を表わす図。

第4図は第3図の回路の動作を説明するためのタイミングチャート。

第5図は第3図のマスクパターン生成部40の詳細な構成の一例を表わす図。

第6図は第3図の論理演算部38およびビットマップ演算部42の詳細な構成の一例を表わす図。

第7図はビットマップ演算部42の一変形例を表わす図である。

特開平3-129425(7)

(符号の説明)

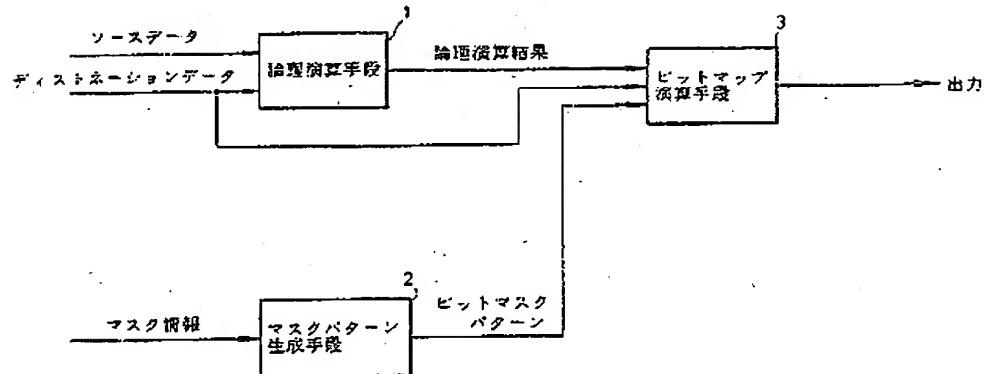
- 1…論理演算手段、
- 2…マスクパターン生成手段、
- 3…ビットマップ演算手段、
- A…ソースデータ、
- B…ディストネーションデータ、
- D…マスクデータ、 E…論理演算値、
- F…ファンクション信号、
- M…マスクデータ入力サイズ、
- M P G…ビットマスクパターン、
- S…出力信号。

特許出願人

富士通株式会社

特許出願代理人

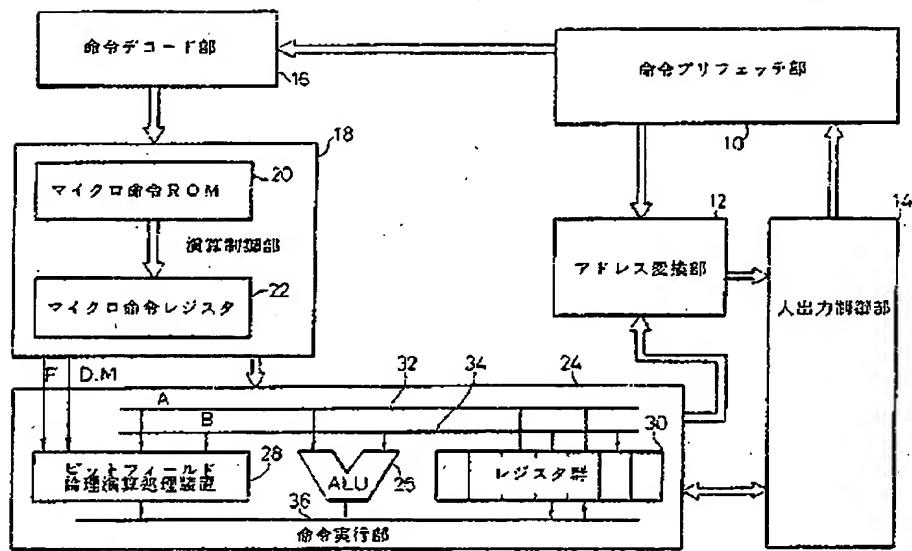
弁理士	齊木	朗
弁理士	石田	敬
弁理士	平岩	賢
弁理士	山口	透
弁理士	西山	雅也



本発明の原理図

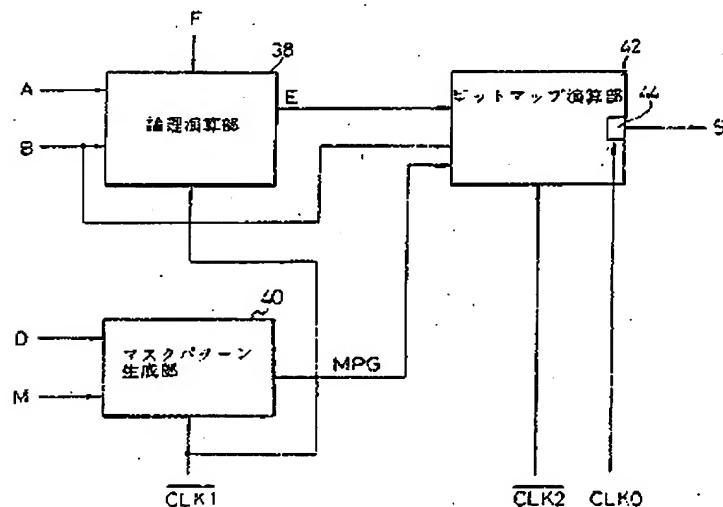
第1図

特開平3-129425(8)



本発明に係るビットフィールド論理演算処理装置を含んで構成される
モノリシックマイクロプロセッサの一例の構成図

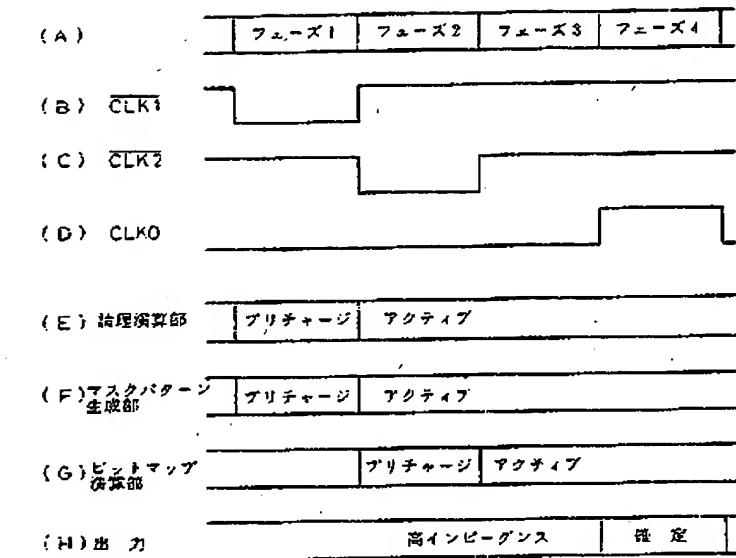
第 2 図



本発明の一実施例の概略構成

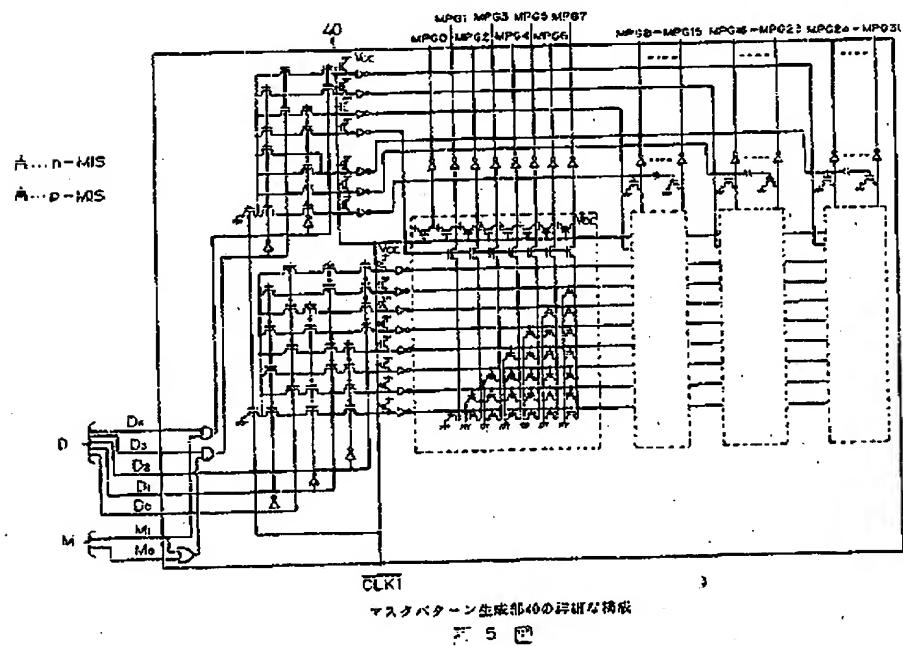
第 3 図

特開平3-129425(9)



第3回の回路の動作説明図

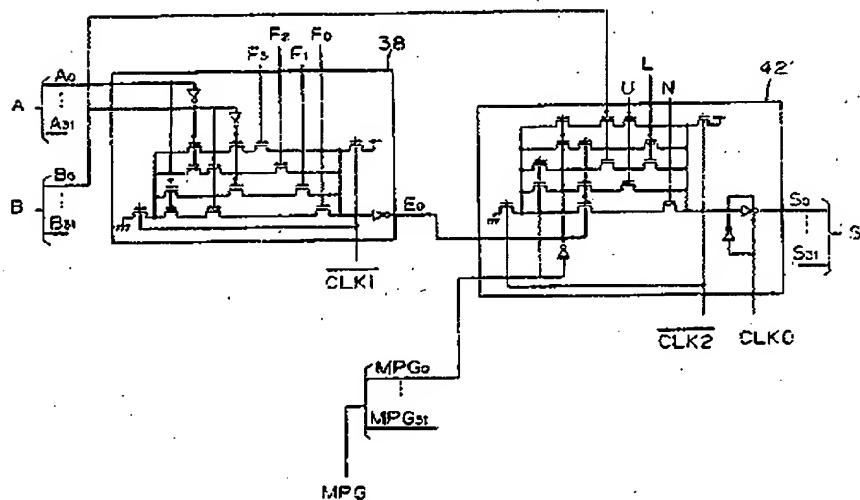
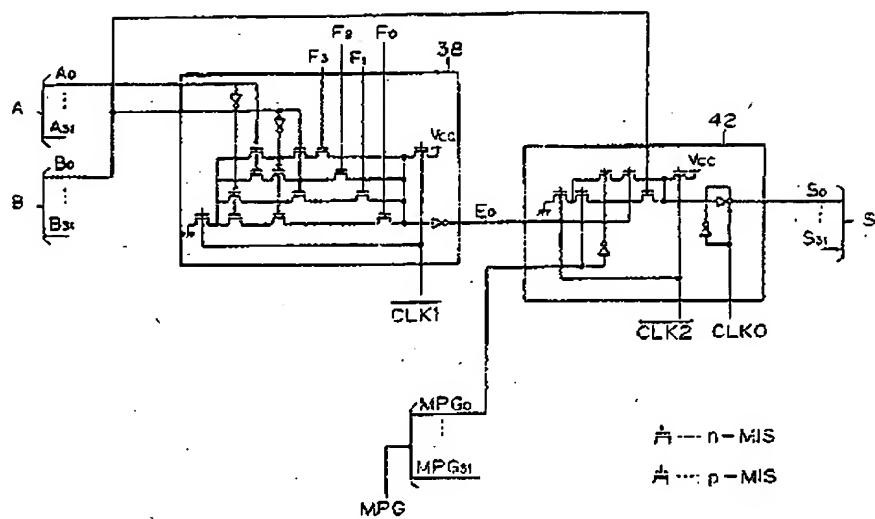
第 4 図



-193-

BEST AVAILABLE COPY

特開平3-129425 (10)



BEST AVAILABLE COPY